

一种兼容 AHB 总线的 Nor Flash 控制器 IP 设计

田 鹏^{1,2}, 聂泽东^{2,3}, 张正平¹, 王文丞^{2,3}, 王 磊^{2,3}

(1 贵州大学 理学院, 贵州 贵阳 550025; 2 中国科学院 深圳先进技术研究院, 广东 深圳 518055;

3 深圳市低成本健康重点实验室, 广东 深圳 518055)

摘 要: 为满足医学系统芯片(SOC)的低成本、低功耗、微型化的需求, 定制了一款兼容 AHB 总线接口的 Nor Flash 控制器 IP. 该设计针对常规 Flash 控制器功能繁杂, 读写数据需长时间等待等缺点, 采用了硬件解锁、简化块擦除模块和增加写操作数据寄存器等优化设计方法. 该设计最后进行了 FPGA 原型验证并进行了流片, 验证测试结果表明, 该 IP 功能正确, 总线的利用率得到了提高. 在系统时钟 10 MHz 下, 选用 S29LV008J Nor Flash 芯片, 按连续存储 16 个 32 位数据计算, 本设计比常规设计减少总线占用时间 165 μ s, 设计达到了预期结果.

关键词: AHB 总线; Nor Flash; 控制器; IP

中图分类号: TP315

文献标识码: A

文章编号: 1000-7180(2013)06-0088-04

Design of a Nor Flash Controller IP Compatible AHB Bus

TIAN Peng^{1,2}, NIE Ze-dong^{2,3}, ZHANG Zheng-ping¹, WANG Wen-cheng^{2,3}, WANG Lei^{2,3}

(1 College of Science, Guizhou University, Guiyang 550025, China;

2 Shenzhen Institutes of Advanced Technology, Chinese Academy of Sciences, Shenzhen 518055, China;

3 The Shenzhen Key Laboratory for Low-cost Healthcare, Shenzhen 518055, China)

Abstract: To meet the demand for low power, low-cost and miniaturization of the medical system-on-chip (SOC), a AHB bus compatible Nor Flash controller IP was designed. The optimal design methods of simplifying the sector erase module, increasing the write data register and hardware unlock were adopted to overcome the disadvantageous of conventional Flash controller, such as the complicated logical design, long waiting time for reading and writing. The design was verified by FPGA and taped out finally, the verified results show that the function of the IP was correct and the bus utilization has been improved. When the system ran at 10MHz and the S29LV008J chip was selected, the bus utilization time was reduced 165 μ s when sixteen 32 bit data were stored continuously.

Key words: AHB Bus; Nor Flash; Controller; IP

1 引言

随着医疗电子与通信技术的发展, 各种穿戴式或植入式医疗设备通过采集人体各种生理参数, 实现对人体健康状态的长期监测^[1]. 低功耗、小型化和低成本成为上述医疗设备的设计难点和设计重点, 低功耗、低频率、低噪声医学系统芯片可以在一定程度上满足医疗设备对功耗、体积和成本的要求, 针对各种医学应用

的医学系统芯片(SOC)得到了广泛的发展^[2].

在这些医学系统中, Flash 存储器作为一种非易失性存储器件得到了广泛地应用. 目前, Nor Flash 控制器一般与静态存储控制器整合在一起, 其控制逻辑复杂, 读写速度慢^[3], 难以满足医学系统芯片低功耗要求, 同时, 从低成本考虑, 如果 Nor Flash 控制器能进行快速读写, 可以显著提高医疗设备的启动时间, 同时部分代码直接在 Nor Flash

收稿日期: 2012-08-02; 修回日期: 2012-10-13

基金项目: 国家“九七三”计划项目(2010CB732606); 贵阳市科技计划项目(筑科合同[2011204]34 号); 国家自然科学基金项目(60932001, 61072031)

中运行,来减少系统对其他存储器的要求.因此针对医学应用,定制一种可以对 Nor Flash 快速读写的控制器很有必要.

本文设计了一款兼容 AMBA 2.0 AHB(Advanced High-performance Bus)总线的 Nor Flash 控制器 IP 核. AHB 总线是 ARM 公司提出的一种开放性片上总线标准^[4],现在已得到了广泛的应用.

2 设计方案

Flash 存储器选用 Spansion(飞索半导体)的 Nor Flash 芯片 S29LV008J^[8]. S29LV008J 容量为 8M(1M x 8-Bit / 512K x 16-Bit),采用 48-pin TSOP 封装,执行读写操作需要 3.0 V 的电压.针对医学系统芯片的特点,本设计的设计方案如下:

- 采用类似 FIFO 的结构改进了写模块,增加了数据寄存状态机,解决了连续写数据时由于 Flash 写数据慢而长时间占用总线的问题,提高了整个 SOC 的工作效率.

- Unlock bypass 模式是部分 Flash 厂家(包括本设计中使用的 Flash 芯片厂家飞索半导体公司)在写操作中增加的一种快速解锁模式,本设计考虑到 Unlock bypass 模式未能解决 Flash 长时间占用总线的问题,且为使控制器兼容更多品牌 Flash 芯片故屏蔽 Unlock bypass 功能.

- 由于 Flash 块擦除时间长,而连续地多块擦除只能节省解锁周期的时间(周期为 100 ns),同时需要块地址寄存器和复杂的控制逻辑,所以对块擦

除模块进行简化,每次只擦除一个块,降低了逻辑复杂度,控制了 IP 核的面积和成本.

- 由于各主流厂家 Nor Flash(例 Spansion 的 S29LV008J^[8]、SST 的 SST39VF1601^[9]、Macronix 的 MX29LV800C^[10]等)的主要功能都采用相同的解锁命令,只是在一些特色功能上(如 Unlock bypass)有所区别.鉴于硬件解锁比软件解锁有更快的速度和更高的准确性,同时也降低了总线对 Flash 操作的复杂度,所以本设计把解锁命令固化到了控制器中来进行硬件解码.

2.1 Flash 控制器架构

Flash 控制器的结构框图如图 1 所示,整个控制器由以下几个模块组成:传输接口电路(Transfer Interface)、控制寄存器(Control Register)、状态寄存器(Status Register)、复位模块(Reset FSM)、自选模块(Autoselect FSM)、擦除模块(Chip Erase FSM and Sector Erase FSM)、读模块(Read FSM)、写模块(Storage FSM and Program FSM)和存储器接口电路(Memory Interface).

控制器的信号流程为:传输接口电路接收 AHB 总线信号,对控制寄存器进行配置.控制寄存器发出复位、擦出、读或写操作的使能信号.各功能状态机从传输接口电路获得所需的地址和数据,并在使能后自动产生相应操作所需的控制信号和时序,同时运行状态存入状态寄存器.由于 Flash 接口复用,所以还需多路选择器选出这些控制信号、地址和数据给 Flash 芯片.

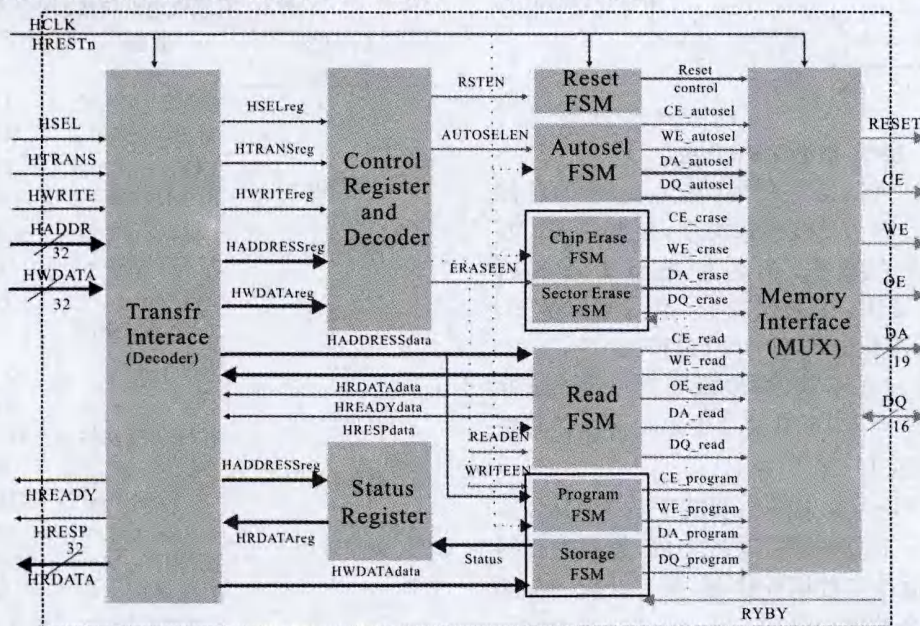


图 1 Flash 控制器结构框图

2.2 写功能模块

Unlock bypass 模式是部分 Flash 厂家在写操作中增加的一种快速解锁模式,考虑到通用性问题,本设计的写模块屏蔽了 Unlock bypass 模式。

对 Flash 进行写操作时,由于 Flash 每写一个数据都需要先写一次解锁命令,而且每个数据写入的时间很长,所以连续写数时就会长时间地占用总线。为解决这个问题,受 FIFO 结构的启发,本设计把写模块分为两部分:一个为数据寄存状态机,负责寄存总线来的地址和数据。另一个为数据写入状态机,负责把寄存器内的数据一个个写入 Flash。这样就解决了高速总线和慢速 Flash 之间的匹配问题。图 2 和图 3 所示为数据寄存状态机和数据写入状态机。

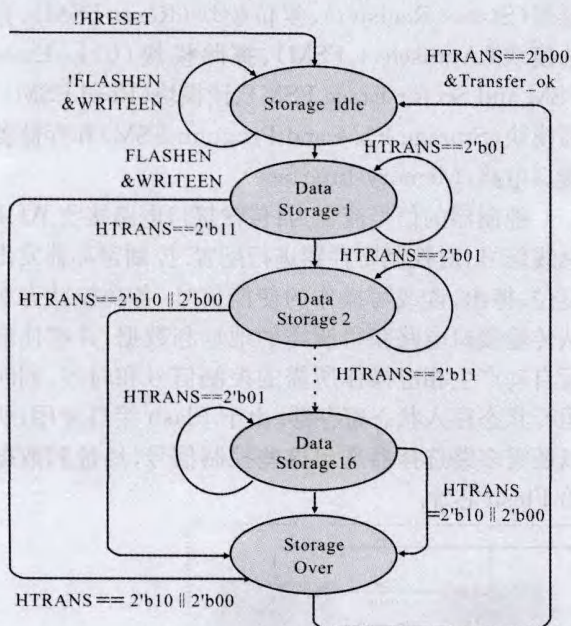


图2 数据寄存状态机

WRITEEN 为状态机使能, Howmany 为存储计数器。HTRANS 为总线传输类型, 根据它来判断是否连续地寄存数据, 当传输类型为连续时 (HTRANS == 2'b11), 表明有下一组地址和数据, 状态向下转移, 当传输类型为忙 (HTRANS == 2'b01) 时, 保持本状态不变, 当传输类型为非连续和空时 (HTRANS == 2'b10 或 2'b00), 状态转移至结束状态 Storage Over。

RYBY 为 Flash 反馈给主机的完成或忙标志, 根据它来判断一个数据是否写入完成。数据的存储位置由写操作地址和数据查找表 (表 1) 决定, Flash 每成功写入一个数据, Which_bypass 加 1。 (Which_bypass == {howmany, 2'b00}) 为总的结束条件, 也

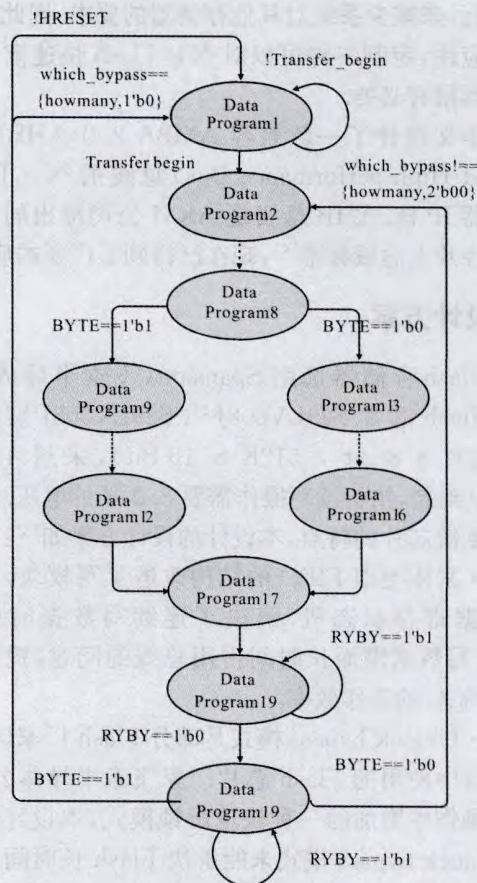


图3 数据写入状态机

同表 1 相对应, 根据它来判断是否所有寄存的数据都成功写入 Flash, 如果没完成, 状态会跳转至 Data Program 1 进行下一个数据的写入过程。

表 1 写操作地址和数据查找表

写入计数器 which_bypass	地址 PA	数据 PD
0000001	DQ_write <= ADDRESS1+3	DQ_write <= DATA1[31:24]
0000010	DQ_write <= ADDRESS1+2	DQ_write <= DATA1[23:16]
0000011	DQ_write <= ADDRESS1+1	DQ_write <= DATA1[15:8]
0000100	DQ_write <= ADDRESS1	DQ_write <= DATA1[7:0]
.....		
0111101	DQ_write <= ADDRESS16+3	DQ_write <= DATA16[31:24]
0111110	DQ_write <= ADDRESS16+2	DQ_write <= DATA16[23:16]
0111111	DQ_write <= ADDRESS16+1	DQ_write <= DATA16[15:8]
1000000	DQ_write <= ADDRESS16	DQ_write <= DATA16[7:0]

2.3 擦除模块

简化了的块擦除每次只擦除一个块,所以不再需要多块擦除用到的计时器和控制逻辑,而且其逻辑可以被全局擦除复用,因此块擦除和全局擦除可在一个模块中实现。

擦除模块要进行全局擦除(Chip Erase)和块擦除(Sector Erase)操作,首先要对块地址寄存器进行配置,存入要相应的块地址,其中块地址寄存器默认为全局擦除所需的 555h 地址。接着进行解锁,全局擦除或块擦除由第四个解锁周期的地址决定,若地址为 555h 则为全局擦除,否则则进行块擦除。

2.4 硬件解锁

Nor Flash 控制器各功能的解锁命令都通过硬件解锁实现,具体由状态机完成,总线只需发一个启动命令,状态机自动给出相应功能解锁所需的地址、数据和时序。相比通过总线进行软件解码,硬件解码有更快的速度和更高的准确性,而且也降低了总线操作的复杂度。

3 测试验证

本设计采用 Verilog HDL 实现,用 Modelsim 对设计进行了功能仿真。为验证实际功能,选用 Xilinx Spartan3E 系列 FPGA 和 Spansion(飞索半导体)的 Nor Flash 芯片 S29LV008J 搭建了测试平台,最后用美国 Tektronix 公司的 TLA5202B 逻辑分析仪对各功能进行了测试。

3.1 Autoselect 功能

图 4 表示 Flash 芯片进入 Autoselect 模式后,读取 Manufacturer ID, Device ID 和块保护信息。DA 为 Flash 的地址线, DQ 为数据线, DQ 上的三个数据分别表示制造商 ID(Manufacturer ID)为 01h, 设备标识符(Device ID, Bottom Boot Block)为 225Bh, 块地址 SA6(18000h)为未保护状态(XX00)^[5]。

3.2 读写功能

对 Flash 芯片连续写入 16 个 32 位数据,然后依次读出。

图 5 和图 6 分别为 16 个 32 位数据的写时序图和读时序图,图中标注的 DA 和 DQ 为读出的地址和数据。

3.3 块擦除功能

对块 SA6(18000h-18FFFh)^[5]进行块擦除,并读出 SA6 和 SA16(未进行块擦除)块内的数据。

在块地址 SA6 的地址范围 18000h-18FFFh 内

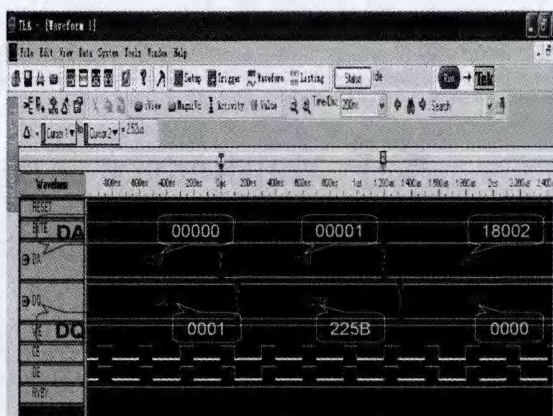


图 4 Autoselect 功能时序图

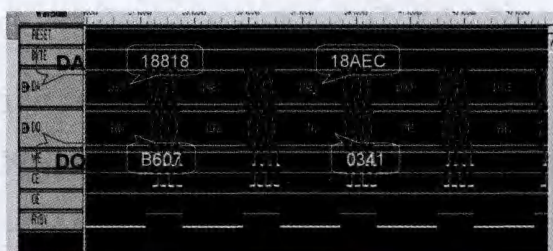


图 5 写功能时序图

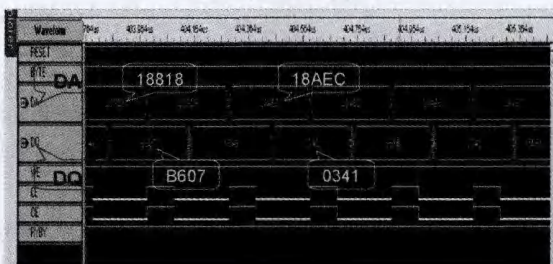


图 6 读功能时序图

数据被擦出,读出的数据为默认数据 FFFFh,而块 SA16(68000h-6FFFFh)^[8]内的数据可正常读出,表明块擦出操作可正常进行。

4 性能参数

用 Synopsys 公司的 Design Compiler 在 SMIC 0.18 μm 工艺库下进行综合,IP 核的面积约为 5.5 万个门。

在 10 MHz 时钟下,写速度为 $3.63 \times 10^5 \text{ byte/s}$,读速度为 $6.67 \times 10^6 \text{ byte/s}$ 。当连续存储 16 个 32 位数据计时,与常规设计相比,本设计可以减少总线占用时间 165 μs 。

可见采用本设计方案,不仅使 IP 的面积得到了控制,而且也大大地减少了 Flash 对总线的占用时间,整个 SOC 的工作效率得到了提升。

(下转第 96 页)

倍. 在一个数据集中所有的数据都被检查的情况, CIF, 压缩的 RCFile, 未压缩的 RCFile 有相似表现. SEQ 比其他的方法快 1.2 倍.

5 结束语

本文描述了一种不仅兼容 Hadoop 的编程接口而且对 Hadoop 的核心没有要求改变的新的二进制存储格式的面向列存储技术. 它包括轻量级压缩、懒惰记录建设等特点来避免反序列化不必要的记录. 一个在企业内部网络爬行的实验用来证明, 面向列存储技术可以在 Hadoop 的 map 阶段两个数量级的表现, 并且能提高整个 MapReduce 作业一个数量级的表现.

参考文献:

- [1] Dean J, Ghemawat S. MapReduce: A flexible data processing tool[J]. CACM, 2010, (53): 72-77.
- [2] Pavlo A, Paulson E, Rasin A, et al. A comparison of approaches to large-scale data analysis[C]// proceedings of the 2009 ACM SIGMOD International Conference on Management of data. NY, USA: ACM, 2009: 165-178.

- [3] Abouzeid A, Bajda-Pawlikowski K, Abadi D J, et al. HadoopDB: an architectural hybrid of map reduce and DBMS technologies for analytical workloads[C]// PV-LDB Lyon, France. ACM, 2009: 24-28.
- [4] Feng Zhao. Sensors meet the Cloud: planetary-scale distributed sensing and decision making[C]// proceedings of the 9th IEEE International Conference, Cognitive Informatics. Beijing, China: IEEE, 2010: 998-998. 2010.
- [5] Dean J, Ghemawat S. MapReduce: simplified data processing on large clusters[C]// Proceedings of Operating Systems Design and Implementation. San Francisco, CA: IEEE, 2004: 137-150.
- [6] Melnik S. Dremel: interactive analysis of web-scale datasets[J]. PVLDB, 2010, 3(1): 330-339.

作者简介:

李爱武 男, (1969—), 硕士, 讲师. 研究方向为数据库与数据挖掘.

刘宁 男, (1974—), 博士, 副教授. 研究方向为数据库与数据挖掘.

(上接第 91 页)

5 结束语

本文设计了一个兼容 AHB 总线的 Nor Flash 控制器 IP. 为满足医学系统芯片(SOC)的需要, 采用了一种改进的设计方案, 该设计方案有效地控制了 IP 的面积和成本, 减少了 Flash 对总线的占用时间, 提高了系统的工作效率. FPGA 的验证也表明, 该 IP 满足设计要求.

参考文献:

- [1] Teng Xiao-Fei, Zhang Yuan-Ting, Carmen C Y Poon et al. Wearable medical systems for p-Health biomedical engineering[J]. IEEE Reviews, 2008(1): 62-74.
- [2] 李严, 张元亭, 王磊. 低功耗、低频率、低噪声医学芯片的设计及应用[J]. 中国医疗器械信息, 2009(1): 17-29.

- [3] 王力伟. 多端口存储器控制器 IP 核的设计与实现[J]. 武汉大学学报: 理学版, 2007(5): 617-621.
- [4] ARM Company, AMBA Specification (Rev 2.0)[R]. Technical Reference Manual.
- [5] Technical Datasheet. S29AL008J[R]. United States: Spansion Inc, 2012.
- [6] Technical Datasheet. SST39VF1601 [R]. United States: Silicon Storage Technology, Inc, 2012.
- [7] Technical Datasheet. MX29LV800C [R]. Taiwan: Macronix International Co, Ltd, 2012.

作者简介:

田鹏 男, (1987—), 硕士研究生. 研究方向为控制器和接口设计.

张正平 男, (1964—), 教授, 博士生导师. 研究方向为通信新技术.